

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : 10/694,955
Applicant : Dae Sung Seo
Filed : October 29, 2003
TC/A.U. : 2811
Examiner : Nitin Parekh

Docket No. : 1751-344
Customer No. : 06449
Confirmation No. : 6164

SUBMISSION OF PRIORITY APPLICATION

Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Dear Sir:

Submitted herewith is a certified copy of Korean Patent Application No. 2002-0066122, filed October 29, 2002, from which priority has been claimed in the above-referenced patent application.

Respectfully submitted,

By 

Monica S. Davis
Attorney for Applicants
Registration No. 44,492
ROTHWELL, FIGG, ERNST & MANBECK, p.c.
Suite 800, 1425 K Street, N.W.
Washington, D.C. 20005
Telephone: (202)783-6040
Facsimile: (202)783-6031

Enclosure: Certified Copy of Korean Application

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066122
Application Number PATENT-2002-0066122

출원년월일 : 2002년 10월 29일
Date of Application OCT 29, 2002

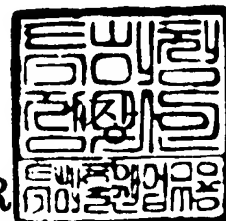
출원인 : 한국시그네틱스 주식회사
Applicant(s) SIGNETICS KOREA CO., LTD.



2002 년 11 월 15 일

특 허 청

COMMISSIONER



**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number: Korean Patent 2002-0066122

Date of Application: 29 October 2002

Applicant(s): SIGNETICS KOREA CO., LTD.

15 November 2003

COMMISSIONER

[Bibliography]

[Document Name]	Patent Application
[Classification]	Patent
[Receiver]	Commissioner
[Reference No.]	0012
[Filing Date]	29 October 2002
[IPC]	H01L
[Title]	Micro leadless package having oblique etching line
[Applicant]	
[Name]	Signetics Korea Co., Ltd.
[Applicant code]	1-1999-053934-3
[Attorney]	
[Name]	Youngpil Lee
[Attorney code]	9-1998-000334-6
[General Power of Attorney Registration No.]	2002-065439-1
[Attorney]	
[Name]	Haeyoung Lee
[Attorney's code]	9-1999-000227-4
[General Power of Attorney Registration No.]	2002-065440-3
[Inventor]	
[Name]	SEO, Dae Sung
[Resident Registration No.]	610401-1066911
[Zip Code]	151-815
[Address]	Rm. 402 Samsung Heights Villa 180-144 Bongcheon11-dong, Kwanak-gu, Seoul, Rep. of Korea
[Nationality]	Republic of Korea
[Request for Examination]	Requested

[Purpose]

We file as above according to Art. 42 of the Patent Law, request
the examination as above according to Art. 60 of the Patent Law.

Attorney

Youngpil Lee

Attorney

Haeyoung Lee

[Fee]

[Basic page]	20 Sheet(s)	29,000 won
[Additional page]	3 Sheet(S)	3,000 won
[Priority claiming fee]	0 Case(S)	0 won
[Examination fee]	11 Claim(s)	461,000 won
[Total]	493,000 won	

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.10.29
【국제특허분류】	H01L
【발명의 명칭】	사선형 에칭부를 갖는 엠.엘.피 (MLP) 형 반도체 패키지
【발명의 영문명칭】	Micro leadless package having oblique etching line
【출원인】	
【명칭】	한국시그네틱스 주식회사
【출원인코드】	1-1999-053934-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2002-065439-1
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2002-065440-3
【발명자】	
【성명의 국문표기】	서대성
【성명의 영문표기】	SE0,Dae Sung
【주민등록번호】	610401-1066911
【우편번호】	151-815
【주소】	서울특별시 관악구 봉천11동 180-144 삼성하이트빌라 402호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 493,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

제조가격을 떨어뜨려 제품의 경쟁력을 높일 수 있고, 제품의 신뢰도를 개선할 수 있는 사선형 에칭부를 갖는 엠.엘.피(MLP: Micro Leadless Package)형 반도체 패키지에 관해 개시한다. 이를 위해 본 발명은, 반도체 칩이 탑재되는 다이패드와, 상기 다이패드 외곽을 따라 형성된 리드 및 상기 다이패드의 네 귀퉁이를 지지하는 타이바를 구비하는 엠.엘.에프(MLF: Micri Lead Frame))에 있어서 상기 다이패드, 리드 및 타이바가 사선형으로 식각된 형태인 엠.엘.에프(MLF)와, 상기 엠.엘.에프(MLF)의 다이패드 위에 접착수단을 사용하여 탑재된 반도체 칩과, 상기 반도체 칩과 상기 엠.엘.에프(MLF)의 리드를 서로 연결하는 와이어와, 상기 엠.엘.에프(MLF), 반도체 칩 및 와이어를 봉합하는 봉합수지를 구비하는 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지를 제공한다.

【대표도】

도 12

【명세서】

【발명의 명칭】

사선형 에칭부를 갖는 엠.엘.피 (MLP) 형 반도체 패키지{Micro leadless package having oblique etching line}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 평면도이다.

도 2는 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 측면도이다.

도 3은 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 밑면도이다.

도 4는 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 단면도이다.

도 5는 종래 기술에 의한 엠.엘.에프(MLF)의 평면도이다.

도 6은 도5의 VI-VI' 절단면의 식각 단면도이다.

도 7은 본 발명에 의한 엠.엘.에프(MLF)의 평면도이다.

도 8은 도7의 VIII-VIII' 절단면의 식각 단면도이다.

도 9는 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 평면도이다.

도 10은 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 측면도이다.

도 11은 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 밑면도이다.

도 12는 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

110: 엠.엘.에프(MLF)형 반도체 패키지, 112: 봉합수지,

- | | |
|------------------|------------------|
| 114: 리드, | 116: 다이패드, |
| 118: 접착수단, | 120: 반도체 칩, |
| 122, 124: 와이어, | 126: 솔더(solder), |
| 132: 타이바, | 134: 딴플(dimple), |
| 136: 솔더 접속 개선구멍. | |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <20> 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는 엠.엘.에프(MLP: Micro Leadless Package, 이하 'MLP') 패키지에 관한 것이다.
- <21> 최근들어 휴대폰, 디지털 카메라, 디지털 캠코더 및 노트북과 같은 소형 전자기기들은 그 크기가 급격히 작아지고 있다. 또한 반도체 칩의 크기 역시 집적화가 현저하게 진행되어 더욱 크기가 작아지고 있다. 이에 따라 반도체 패키지 역시 종래와 비교하여 그 크기가 현격하게 줄어든 BGA(Ball Grid Array), MLF 패키지 등이 등장하여 소형 전자 기기용 인쇄회로기판(PCB: Print Circuit Board)에 사용되어 실장밀도를 높이고 있다.
- <22> 도 1은 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 평면도이고, 도 2는 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 측면도이고, 도 3은 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 밀면도이다.
- <23> 도 1 내지 도 3을 참조하면, 엠.엘.피(MLP)형 반도체 패키지(10)는, 일반적으로 리드(14)를 봉합수지(EMC: Epoxy Mold Compound, 12)로 된 몸체 안으로 끌어

들임으로써 반도체 패키지(10)의 크기를 소형화시킨 반도체 패키지를 말한다. 또한 엠.엘.피(MLP)형 반도체 패키지는 다이패드(16)가 반도체 패키지(10) 바닥면에서 드러나 있는 "노출된 다이패드형(Exposed die pad type)"이기 때문에, 인쇄회로기판(PCB)에 엠.엘.피(MLP)형 반도체 패키지(10)를 실장(mounting)할 때에 바닥면을 솔더(solder)로 부착시켜 열방출 성능을 높일 수 있다.

<24> 도 4는 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지의 단면도이다.

<25> 도 4를 참조하면, 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지(10)의 일반적인 제조공정은, 하프에칭(A)이 이루어진 엠.엘.에프(MLF)의 다이패드(16)에 접촉수단(18)을 통하여 반도체 칩(20)을 탑재한다. 그리고 와이어(22, 24)를 통하여 상기 반도체 칩(20)의 본드패드(미도시)와 엠.엘.에프(MLF)의 리드(14)를 전기적으로 서로 연결한다. 그 후, 봉합수지(20)로 밀봉하는 몰딩(molding)하는 공정을 진행하여 엠.엘.피(MLP)형 반도체 패키지의 몸체를 형성한다.

<26> 상기 몰딩공정이 완료되면, 노출된 엠.엘.에프(MLF)의 리드(14) 및 다이패드(16)의 바닥면에 솔더(26)를 코팅(coating)하는 전기도금 공정을 진행한다. 마지막으로, 행(column)과 열(row)이 있는 매트릭스(matric) 상태로 제조된 복수개의 엠.엘.피(MLP)형 반도체 패키지(10)들은, 이를 낱개로 분리하는 절단공정(cutting)에 의하여 단위 엠.엘.피(MLP)형 반도체 패키지(10)로 된다.

<27> 도 5는 종래 기술에 의한 엠.엘.에프(MLF)의 평면도이고, 도 6은 도5의 VI-VI' 절단면의 식각 단면도이다.

- <28> 도 5 및 도 6을 참조하면, 일반적으로 엠.엘.에프(MLF, 30)는, 반도체 칩이 탑재되는 다이패드(16)와, 상기 다이패드(16)의 외곽을 따라 형성된 리드(14) 및 상기 다이패드(16)를 네 귀퉁이에서 지지하는 타이바(tie bar, 32)로 이루어진다.
- <29> 일반적으로 엠.엘.에프(MLF, 30)는, 두께가 약 0.2mm의 매우 얇기 때문에 식각방식을 통해 리드프레임의 형상을 만든다. 그러나 엠.엘.에프(MLF, 30)와 같이 매우 얇으며 바닥면이 봉합수지(EMC)로 봉합되지 않은 채 외부로 노출될 경우, 몰딩공정 후, 봉합수지(EMC)와 엠.엘.에프(MLF, 30) 사이의 접착 강도 즉 몰더빌리티(molderbility)가 떨어지게 된다. 이를 방지하기 위하여 일반적인 엠.엘.에프(MLF, 30)는, 그 패턴 형태를 모두 하프에칭(도6의 A) 형태로 만든다.
- <30> 그러나 종래 기술에 의한 엠.엘.피(MLP)형 반도체 패키지는 다음과 같은 문제점에서 개선이 요구된다.
- <31> 첫째, 엠.엘.피(MLP)형 반도체 패키지의 두께가 더욱 얇아지는 것이 요구됨에 따라, 앞으로 엠.엘.에프(MLF, 30)의 두께가 약 0.15mm 혹은 그 이하로 얇아지게 된다. 그러나 하프에칭(half etching)의 경우 봉합수지(EMC)가 충전(filling)되기 위해서는 바닥면에서 최소 0.1mm 이상 식각되어야 하는데 이러한 구조를 만들기 위해서는 상당히 어려운 공정 제어가 필요하고, 또한 불량도 많이 발생하고 있다. 따라서 까다로운 공정 제어 문제와 높은 불량률은 엠.엘.에프(MLF)의 가격상승을 유발하고 결국 엠.엘.피(MLP)형 반도체 패키지의 제조가격 상승으로 이어지게 된다.
- <32> 참고로, 엠.엘.에프(MLF)의 하프에칭에 대한 공정제어가 어려운 이유는, 양면, 즉 상부면과 바닥면에서 식각액을 분사시켜 하프 에칭을 할 때, 정교한 형태의 하프에칭을

위해 바닥면 식각을 위해 사용하는 식각액 및 식각방법이 상부면의 것과 서로 다르기 때문에 이를 제어하는 것이 매우 까다로우며, 불량률이 많이 발생하게 된다.

<33> 둘째, 엠.엘.피(MLP)형 반도체 패키지를 인쇄회로기판에 솔더를 사용하여 실장할 경우, 솔더가 엠.엘.피(MLP)형 반도체 패키지 바닥면에만 존재하기 때문에 솔더에 의한 접착능력이 떨어지게 된다. 즉, 솔더빌리티 특성(solderbility characteristics)이 약화되어 엠.엘.피(MLP)형 반도체 패키지의 신뢰성이 떨어지는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명이 이루고자 하는 기술적 과제는 엠.엘.에프(MLF)의 구조를 개선하여 제조 단가를 낮추고 신뢰성을 개선할 수 있는 엠.엘.피(MLP)형 반도체 패키지를 제공하는데 있다.

【발명의 구성 및 작용】

<35> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 칩이 탑재되는 다이패드와, 상기 다이패드 외곽을 따라 형성된 리드 및 상기 다이패드의 네 귀퉁이를 지지하는 타이바를 구비하는 엠.엘.에프(MLF)에 있어서 상기 다이패드, 리드 및 타이바가 사선형으로 식각된 형태인 엠.엘.에프(MLF)와, 상기 엠.엘.에프(MLF)의 다이패드 위에 접착수단을 사용하여 탑재된 반도체 칩과, 상기 반도체 칩과 상기 엠.엘.에프(MLF)의 리드를 서로 연결하는 와이어와, 상기 엠.엘.에프(MLF), 반도체 칩 및 와이어를 봉합하는 봉합수지를 구비하는 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지를 제공한다.

- <36> 본 발명의 바람직한 실시예에 의하면, 상기 엠.엘.에프(MLF)의 다이패드는 상기 봉합수지와 접착력을 개선할 수 있는 딴플(dimple)이 형성된 것이 적합하고, 상기 딴플은 상기 다이패드의 가장자리를 따라서 복수개 형성된 것이 적합하다.
- <37> 또한 본 발명의 바람직한 실시예에 의하면, 상기 엠.엘.에프(MLF)의 리드 및 타이바에는 상기 봉합수지와 접착력을 개선하기 위한 딴플이 형성된 것이 적합하다.
- <38> 바람직하게는, 상기 엠.엘.에프(MLF)의 리드는 상기 봉합수지가 봉합되는 끝단에 솔더 접속을 더 견고하게 하기 위한 솔더 접속 개선구멍이 형성된 것이 적합하고, 상기 솔더 접속 개선구멍은 직경의 크기가 상기 리드 폭의 50~95% 사이인 것이 적합하다.
- <39> 또한 본 발명의 바람직한 실시예에 의하면, 상기 엠.엘.에프(MLF)의 사선형 식각은, 바닥면의 크기가 상부면의 크기보다 더 크도록 형성된 각도인 것이 적합하고, 상기 바닥면의 크기가 상부면의 크기보다 더 큰 정도는 1 ~ 10%인 것이 적합하고, 상기 하부면과 바닥면에서 동일한 식각액과 식각방식을 사용하여 형성된 것이 적합하다.
- <40> 바람직하게는, 상기 엠.엘.에프(MLF)의 다이패드, 리드 및 타이바는 봉합수지가 봉합한 후에도 하부의 동일 평면상에 있으며 외부로 노출되는 것이 적합하다.
- <41> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <42> 본 명세서에서 말하는 엠.엘.에프(MLF)는 가장 넓은 의미로 사용하고 있으며 아래의 바람직한 실시예에 도시된 것과 같은 특정 형상만을 한정하는 것이 아니다. 본 발명은 그 정신 및 필수특징사항을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 상기 바람직한 실시예에 있어서는 딴플(dimple)이 형성된 위치가 다이패드의 가장

자리지만 이것은 다른 위치로 변경하여 형성해도 무방하다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.

<43> 도 7은 본 발명에 의한 엠.엘.에프(MLF)의 평면도이고, 도 8은 도7의 VIII-VIII' 절단면의 식각 단면도이다.

<44> 도 7 및 도 8을 참조하면, 본 발명에 의한 엠.엘.에프(MLF, 130)는, 반도체 칩이 탑재되는 다이패드(116), 상기 다이패드 외곽을 따라 형성된 리드(114) 및 상기 다이패드의 외곽을 지지하는 타이바(132)로 이루어진다. 그러나 본 발명의 바람직한 실시예에 의한 엠.엘.에프(MLF, 130)는, 엠.엘.에프 패턴을 만들기 위한 식각이 종래의 엠.엘.에프(MLF)에 사용되던 기술처럼 하프에칭에 의하지 않고, 일반적인 에치드 리드프레임(etched leadframe)처럼 수직 식각에 의하지도 않으며, 도 8의 A'와 같이 전체적으로 사선형 모양의 식각에 의한다.

<45> 여기서 사선형 식각이란, 리드프레임 소재를 양면 즉 하부면과 상부면에 포토레지스트를 코팅(coating)한 후, 식각액을 분사하여 엠.엘.에프(MLF) 패턴을 만들 때, 하부면의 패턴 크기가 상부면의 패턴 크기보다 약간 더 크도록 한 상태로 식각하여 패턴을 형성한 것을 말한다. 이러한 사선형 식각은 수직으로 식각된 일반적인 에치드 리드프레임보다 상하방향으로 봉합수지(EMC)와의 접착력이 개선되고, 하프에칭을 할 때처럼 정교한 공정제어를 필요로 하지 않는다. 따라서 하프에칭에 의한 엠.엘.에프(MLF)보다 제조가격도 저렴하며 수율 역시 높은 장점이 있다. 이렇게 하부면의 크기가 상부면의 패턴 크기 보다 더 큰 정도는, 약 1~10% 정도가 적합하며, 필요하다면 이보다 더 크게 할 수도 있다. 또한 기존의 하프에칭처럼 정교한 모양을 만들기 위해 상부면과 하부면에 대

하여 식각액을 다르게 적용하거나, 식각방법을 다르게 적용할 필요가 없기 때문에 비교적 공정제어가 간단한 장점이 있다.

<46> 그러나 사선형 식각에 의한 엠.엘.에프(MLF, 130)는, 하프에칭에 의한 기존의 엠.엘.에프(MLF)보다는 봉합수지(EMC)와의 접착력은 떨어진다. 이를 보완하기 위해 본 발명에 의한 엠.엘.에프(MLF, 130)는, 리드(114)와 다이패드(116)의 가장자리, 그리고 타 이바(132)에 덤플(134)을 형성하여 봉합수지(EMC)와의 접착력이 떨어지는 문제를 개선하였다. 이로 인해 엠.엘.에프(MLF, 130)형 반도체 패키지에서 노출된 상태에 있는 다이패드(116) 및 리드(114)등이 봉합수지와 약한 접착력때문에 외부로 떨어지는 문제점을 억제할 수 있다.

<47> 또한, 본 발명에 의한 엠.엘.에프(MLF, 130)는 절단(cutting)이 이루어지는 리드(114) 끝단에 솔더 접속 개선구멍(136)이 있는 특징이 있다. 일반적으로 엠.엘.피(MLP)형 반도체 패키지를 제조하는 공정은, 다이 접착(die attach), 와이어 본딩(wire bonding), 몰딩(molding), 노출된 엠.엘.에프(MLF, 130)에 대한 전기도금 및 절단공정의 순서로 이루어진다.

<48> 이에 따라 상기 솔더 접속 개선구멍(136)은 상기 전기도금 공정에서 내부에도 솔더가 도금된다. 상기 도금된 솔더는 엠.엘.피(MLP)형 반도체 패키지를 인쇄회로기판에 실장할 때에 엠.엘.피(MLP)형 반도체 패키지의 측벽에서 녹아 인쇄회로기판에 접착되기 때문에 엠.엘.피(MLP)형 반도체 패키지의 단점인 솔더빌리티(solderbility) 특성을 개선하는 효과를 발휘한다. 즉, 기존에는 리드(114)의 끝단에 구멍이 있지 않아 전기도금 공정에서 이곳에 솔더가 형성되지 않았다. 그러나 본 발명에 의하면 이 부분에 솔더 접속 개선구멍(136)을 형성하고 이곳에 솔더가 도금되도록 함으로써 후속된 절단공정에서 리

드 끝단에 전기도금된 솔더가 잔류하게 된다. 이에 따라 엠.엘.피(MLP)형 반도체 패키지가 인쇄회로기판에 실장될 때, 리드 끝단에 잔류하던 솔더가 녹아내려 인쇄회로기판에 접착되기 때문에, 엠.엘.피(MLP)형 반도체 패키지와 인쇄회로기판의 접착력, 즉 솔더빌리티(solderbility)를 증진시킬 수 있는 장점이 있다.

<49> 도 9는 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 평면도이고, 도 10은 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 측면도이고, 도 11은 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 밑면도이다.

<50> 도 9 내지 도 11을 참조하면, 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지(110)는 외관상으로 리드(114)의 끝단에 반원(semi-circle) 모양의 홈(groove)이 형성되어 있다는 차이가 있다. 이러한 반원모양의 홈은, 솔더 접속 개선구멍(136)이 절단공정에서 잘려져 만들어진 형태로서, 이 부분에 솔더가 도금되어 있기 때문에 엠.엘.피(MLP)형 반도체 패키지(110)를 인쇄회로기판에 실장될 때 솔더 접착능력, 즉 솔더빌리티(solderbility)를 더욱 좋게 만드는 역할을 한다. 상기 솔더 접속 개선구멍(136)의 직경은 상기 리드(114) 폭의 50~95%의 범위인 것이 적합하다.

<51> 도 12는 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지의 단면도이다.

<52> 도 12를 참조하면, 본 발명에 의한 엠.엘.피(MLP)형 반도체 패키지(110)는, 반도체 칩(120)이 탑재되는 다이패드(116)와, 상기 다이패드(116) 외곽을 따라 형성된 리드(114) 및 상기 다이패드(116)의 네 귀퉁이를 지지하는 타이바를 구비하는 엠.엘.에프(MLF)를 사용하여 만들어진다. 이때, 상기 다이패드(116), 리드(114) 및 타이바(132)는 앞서 설명한 바와 같이 사선형으로 식각된 형태이고, 다이패드(116)의 가장자리, 리드(114) 및 타이바(132)에는 봉합수지(120)와의 접착력을 개선할 수 있는 덤플(134)이 복

수개 형성되어 있다. 상기 엠.엘.에프(MLF)의 다이패드(116) 위에는 접착수단(118)을 사용하여 반도체 칩(120)이 탑재된다. 또한, 상기 반도체 칩(120)과 상기 엠.엘.에프(MLF)의 리드(114)는 와이어(122)를 통하여 서로 전기적으로 연결되고, 참조부호 124는 반도체 칩(120)을 다이패드(116)와 직접 연결하는 그라운드 본딩(grounding bonding)용 와이어이다. 그리고 상기 엠.엘.에프(MLF), 반도체 칩(120) 및 와이어(122, 124)는 엠.엘.에프(MLF)의 바닥면만 제외하고 봉합수지(120)로 밀봉된다. 상기 노출된 리드(114) 및 다이패드(116)의 바닥면에는 솔더(126)가 도금되고, 리드(114)의 측면은 솔더 접속 개선구멍(도9의 136)을 이용하여 솔더(138)가 전기 도금됨으로써 엠.엘.피(MLP)형 반도체 패키지(110)를 인쇄회로기판에 실장할 때에 접착능력을 개선시킨다.

<53> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<54> 따라서, 상술한 본 발명에 따르면, 첫째, 엠.엘.에프(MLF)의 가격을 낮추어서 엠.엘.피(MLP)형 반도체 패키지 제조단가를 절감할 수 있다.

<55> 둘째, 엠.엘.에프(MLF)의 리드, 타이바 및 다이패드에 형성된 덤플로 인하여 엠.엘.에프(MLF) 표면과 봉합수지와의 접착력을 증가시킬 수 있다.

<56> 셋째, 리드 끝단에 있는 솔더 접속 개선구멍을 이용하여 엠.엘.피(MLP)형 반도체 패키지가 인쇄회로기판에 실장될 때에 솔더의 접착능력을 높일 수 있다.

【특허청구범위】**【청구항 1】**

반도체 칩이 탑재되는 다이패드와, 상기 다이패드 외곽을 따라 형성된 리드 및 상기 다이패드의 네 귀퉁이를 지지하는 타이바를 구비하는 엠.엘.에프(MLF)에 있어서 상기 다이패드, 리드 및 타이바가 사선형으로 식각된 형태인 엠.엘.에프(MLF);

상기 엠.엘.에프(MLF)의 다이패드 위에 접착수단을 사용하여 탑재된 반도체 칩;

상기 반도체 칩과 상기 엠.엘.에프(MLF)의 리드를 서로 연결하는 와이어;

상기 엠.엘.에프(MLF), 반도체 칩 및 와이어를 봉합하는 봉합수지를 구비하는 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 2】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 다이패드는 상기 봉합수지와 접착력을 개선할 수 있는 덤플(dimple)이 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 3】

제2항에 있어서,

상기 덤플은 상기 다이패드의 가장자리를 따라서 복수개 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 4】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 리드는 상기 봉합수지와의 접착력을 개선하기 위한 덤플이 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 5】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 타이바는 상기 봉합수지와의 접착력을 개선하기 위한 덤플이 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 6】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 리드는 상기 봉합수지가 봉합되는 되는 끝단에 솔더 접속을 견고하게 하기 위한 솔더 접속 개선구멍이 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 7】

제6항에 있어서,

상기 솔더 접속 개선구멍은 직경의 크기가 상기 리드 폭의 50~95% 사이인 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 8】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 사선형 식각은 바닥면의 크기가 상부면의 크기보다 더 크도록 형성된 각도인 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 9】

제7항에 있어서,

상기 사선형에서 바닥면의 크기가 상부면의 크기보다 더 큰 정도는 1 ~ 10%인 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【청구항 10】

제1항에 있어서,

상기 엠.엘.에프(MLF)의 다이패드, 리드 및 타이바는 봉합수지가 봉합한 후에도 하부의 동일 평면상에 있으며 외부로 노출되는 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

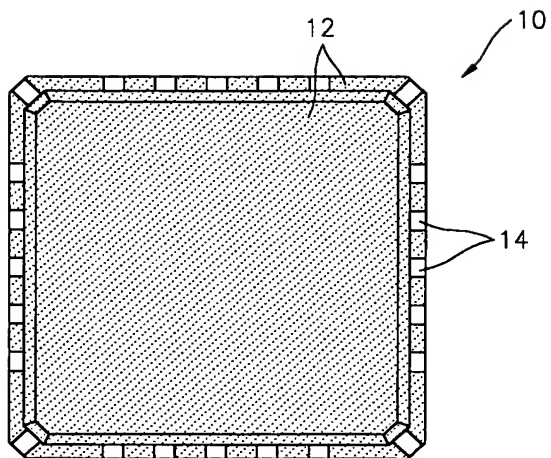
【청구항 11】

제1항에 있어서,

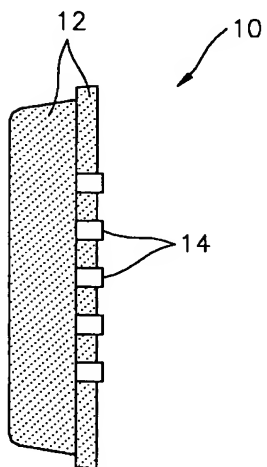
상기 엠.엘.에프(MLF)의 사선형 식각은 하부면과 바닥면에서 동일한 식각액과 식각방식을 사용하여 형성된 것을 특징으로 하는 엠.엘.피(MLP)형 반도체 패키지.

【도면】

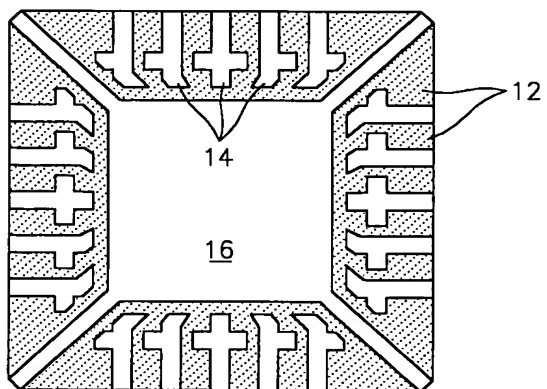
【도 1】



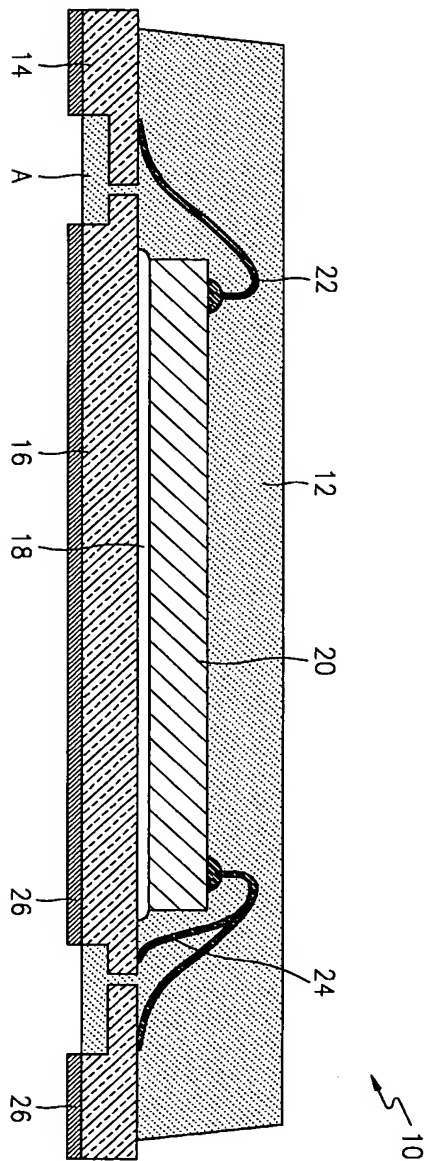
【도 2】



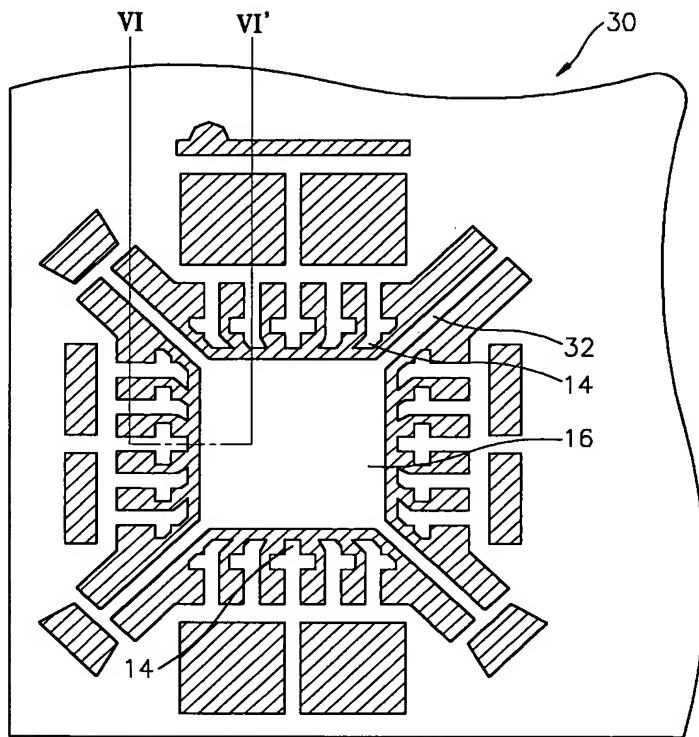
【도 3】



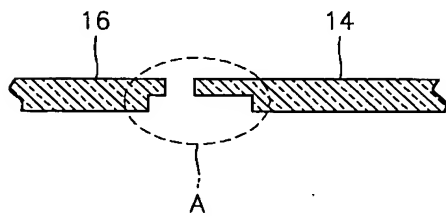
【도 4】



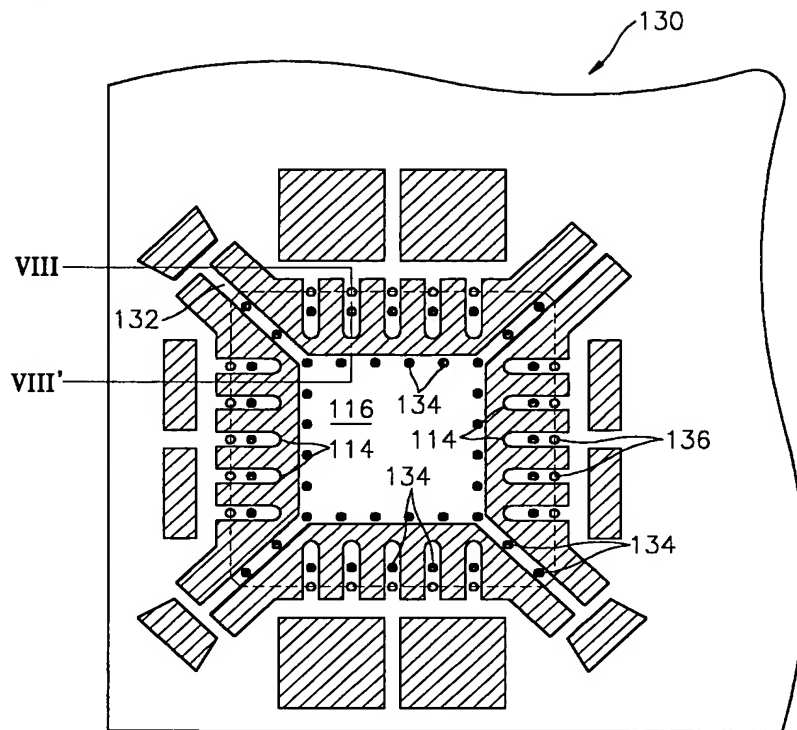
【도 5】



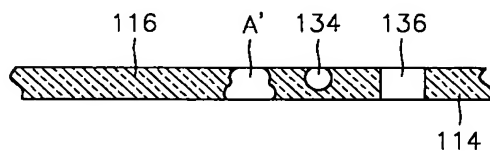
【도 6】



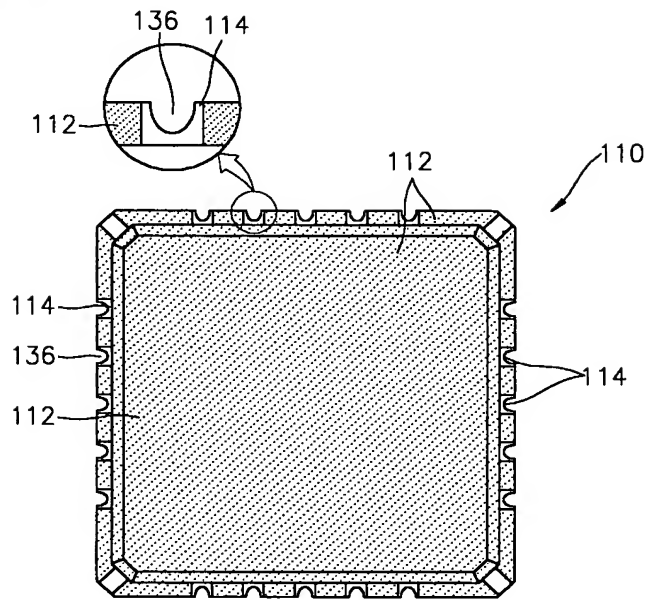
【도 7】



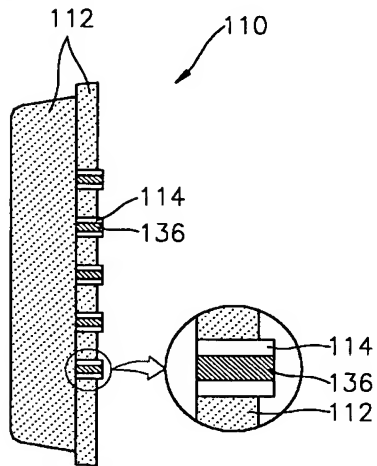
【도 8】



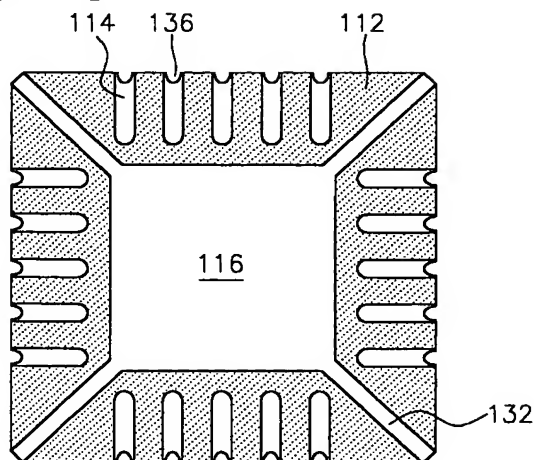
【도 9】



【도 10】



【도 11】



【도 12】

